

НАНОЭЛЕКТРОНИКА

УДК 621.3.049.771.14.

ЭЛЕМЕНТНАЯ БАЗА НАНОКОМПЬЮТЕРОВ НА ОСНОВЕ СВЯЗАННЫХ КВАНТОВЫХ ОБЛАСТЕЙ

© 2005 г. Б.Г. Коноплев^{1,2}, Е.А. Рындин²

Предложены принципы построения наноразмерных логических элементов и элементов памяти сверхскоростных СБИС на основе туннельносвязанных квантовых ям, позволяющие преодолеть ограничения, связанные с временем пролета электронами каналов транзисторов. Обсуждаются результаты моделирования наноразмерных интегральных логических элементов, проблемы и перспективы их использования для построения высокопроизводительных вычислительных систем.

ВВЕДЕНИЕ

Уменьшение размеров интегральных элементов и повышение степени интеграции СБИС – основная тенденция развития микро- и нанoeлектроники.

Современные технологические процессы электронно-лучевой литографии и молекулярно-лучевой эпитаксии обеспечивают формирование полупроводниковых структур с нанометровыми размерами, что позволяет не только повысить быстродействие и снизить энергию переключения интегральных элементов, но и использовать квантовые эффекты при построении элементной базы вычислительных систем.

С развитием наноразмерной элементной базы, применительно к вычислительным системам, на ее основе стали все чаще использовать термин “нанокomпьютеры”.

В настоящее время развитие нанокomпьютеров идет по нескольким направлениям, которые можно обобщить в два основных: вычислительные системы с традиционными архитектурами на основе элементной базы на квантовых эффектах с одной стороны, и квантовые компьютеры – с другой.

Разработка и совершенствование элементной базы нанокomпьютеров с традиционной архитектурой позволит уже на данном этапе значительно увеличить степень интеграции, быстродействие, вычислительную мощность, снизить энергопотребление вычислительных систем.

ПРИНЦИПЫ ПОСТРОЕНИЯ ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ НА ОСНОВЕ ТУННЕЛЬНОСВЯЗАННЫХ КВАНТОВЫХ ЯМ

Создание элементной базы на квантовых ямах, образованных гетеропереходами, является одним из основных направлений развития нанoeлектроники, в рамках которого разработан ряд полупроводниковых наноструктур с уникальными характеристиками, в частности, транзисторы с модуляцией скорости носителей (velocity modulation transistor – VMT), быстродействие которых не ограничено временем пролета электронами канала [1, 2].

VMT-транзисторы имеют два параллельных канала, представляющих собой квантовые ямы, соединяющие области стока и истока и разделенные туннельным гетеропереходным барьером. В первом канале подвижность электронов высокая, а во втором – низкая. Снижение подвижности носителей заряда во втором канале достигается либо посредством легирования области квантовой ямы и рассеяния носителей на ионах примеси [1], либо за счет интенсивного рассеяния на гетерограницах [2]. В последнем случае ширина второй квантовой ямы значительно меньше ширины первой.

Управление VMT-транзистором осуществляется поперечным электрическим полем, создаваемым двумя вертикально расположенными затворами [1], либо затвором и истоком [2]. Управляющее поперечное поле перераспределяет носители заряда между каналами. При этом открытому состоянию транзистора соответствует перенос основной части электронов в первый канал, где они приобретают высокую скорость дрейфа. Закрытому состоянию соответствует перенос электронов во второй канал, где их подвижность снижает-

¹ Таганрогский государственный радиотехнический университет

² Южный научный центр РАН

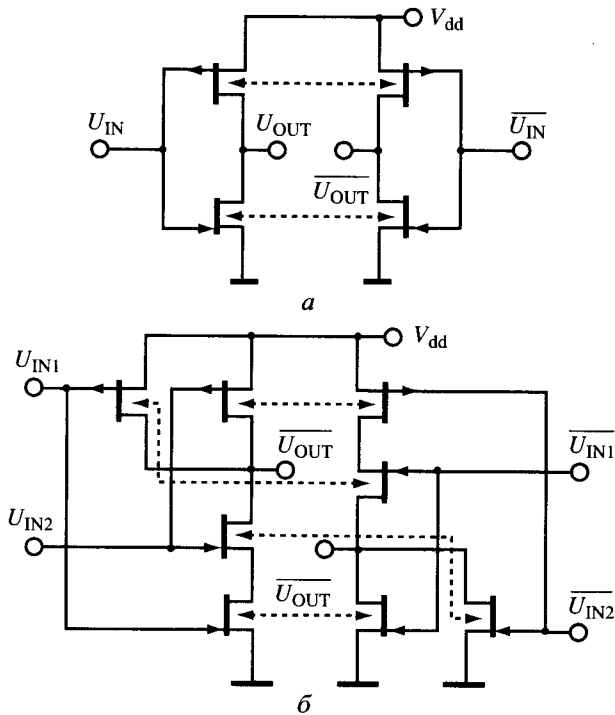


Рис. 1. Схемы логических элементов на основе туннельно-связанных квантовых ям: а) инвертор; б) элемент И-НЕ/ИЛИ-НЕ (U_{IN} – входное напряжение; U_{OUT} – выходное напряжение)

ся, а сопротивление канала соответственно увеличивается. Таким образом, за время пролета электроны могут несколько раз перераспределяться между двумя параллельными туннельно-связанными каналами, что в принципе позволяет, учитывая крайне малую инерционность процесса туннелирования, достичь времени переключения значительно меньшего, чем время пролета. При этом суммарное число носителей в каналах должно оставаться практически неизменным [1].

Основным недостатком VMT-транзисторов является сравнительно низкое отношение токов транзистора в открытом и закрытом состояниях (2–2,5 при температуре $T = 300$ К) [1], обусловленное низким отношением значений подвижности носителей в каналах и влиянием эффекта насыщения скорости дрейфа в короткоканальных приборах, что затрудняет использование VMT для создания интегральных логических элементов [1].

С целью устранения данного недостатка и использования в логических элементах принципов повышения быстродействия, реализованных в VMT, а также уменьшения площади элементов, снижения потребляемой мощности и энергии переключения авторами разработаны наноразмерные интегральные логические элементы на основе туннельно-связанных квантовых ям, принципы построения которых поясняют электрические схемы инвертора и двухвходового вентиля 2И-НЕ/2ИЛИ-НЕ, приведенные на рисунке 1.

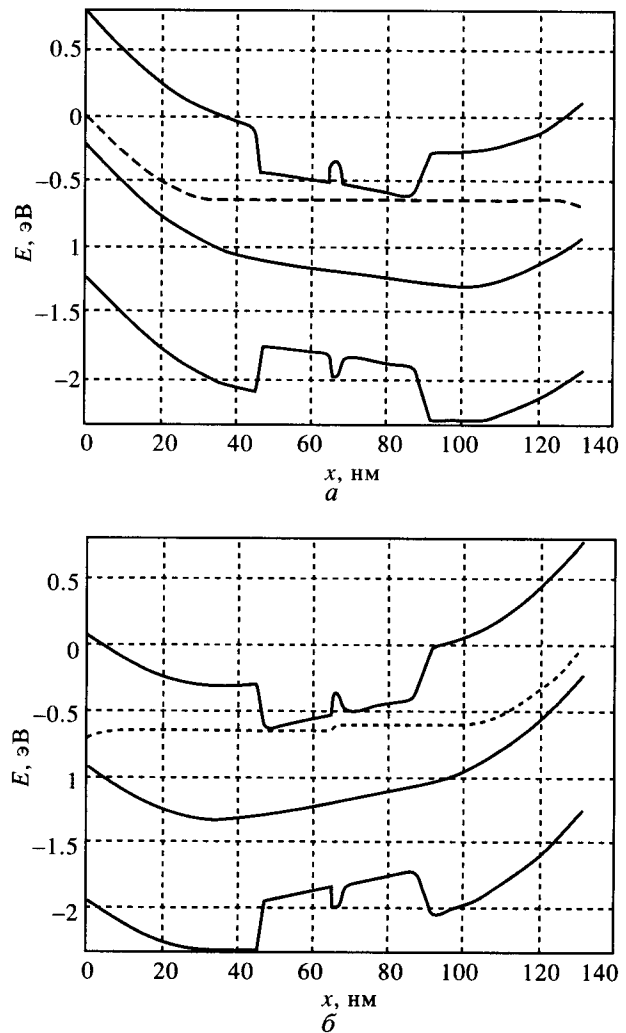


Рис. 2. Зонные диаграммы ТСН с электронной проводимостью при различных направлениях управляющего поля (пунктирной линией показан уровень Ферми)

Построение элементов осуществляется в соответствии с принципами комплементарной логики, т.е. на основе пар транзисторов с взаимодополняющими типами проводимости, что обеспечивает резкое снижение потребляемой мощности и повышение помехоустойчивости элементов. С целью повышения быстродействия и преодоления ограничения, связанного с временем пролета подвижными носителями каналов, транзисторы каждого типа проводимости попарно объединяются в туннельно-связанные наноструктуры (ТСН), обозначенные на схемах пунктирными линиями со стрелками (рис. 1).

Зонные диаграммы туннельно-связанной наноструктуры с электронной проводимостью при различных управляющих напряжениях приведены на рисунке 2. Каждая ТСН содержит две нелегированные (в отличие от VMT [1, 2]) квантовые ямы, разделенные туннельным потенциальным барьером, и два управляющих перехода. В зависи-

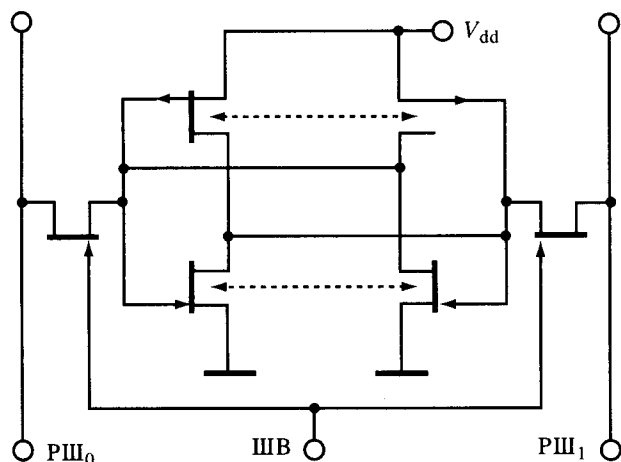


Рис. 3. Схема элемента статической памяти на основе туннельносвязанных квантовых ям

мости от направления поперечного поля управляющих переходов подвижные носители заряда в результате туннелирования концентрируются либо преимущественно в первой квантовой яме, либо во второй (рис. 2), что приводит к соответствующему изменению проводимостей туннельносвязанных каналов.

В соответствии с принципами VMT [1], необходимым условием достижения задержки переключения ТСН меньшей, чем время пролета носителями каналов, является обеспечение практически неизменного суммарного числа подвижных носителей в квантовых ямах в процессе переключения структуры. Для выполнения данного условия при работе элемента в режиме большого сигнала необходимо на управляющие контакты ТСН подавать противофазные сигналы.

С целью формирования противофазных сигналов используется зеркальный принцип построения логических элементов. Например, на основе двух ТСН (n- и p-типа) реализуются два инвертора, работающие в противофазе (рис. 1а), а при реализации многоходовых логических вентилей И-НЕ в “зеркальных” элементах туннельносвязанные каналы соединяют по схеме ИЛИ-НЕ и наоборот (рис. 1б).

СТРУКТУРА ТСН НА ОСНОВЕ ТУННЕЛЬНОСВЯЗАННЫХ КВАНТОВЫХ ЯМ

Принцип зеркальности требует для реализации логических функций вдвое больше каналов по сравнению, например, с КМОП-элементами. Использование в ТСН вертикальной интеграции обеспечивает примерно двукратное уменьшение площади, занимаемой элементами на кристалле, по сравнению с планарным расположением ка-

налов. В результате площадь, занимаемая на кристалле логическими элементами с парафазными входами/выходами, практически не увеличивается.

Следует отметить, что в некоторых случаях (например, в элементах статической памяти, рис. 3) “зеркальная” часть элемента может нести и самостоятельную функциональную нагрузку, что позволит дополнительно повысить эффективность использования площади кристалла СБИС.

Туннельносвязанные наноструктуры на основе гетеропереходов GaAs/AlGaAs с электронной и дырочной проводимостью показаны на рисунке 4.

Верхние управляющие переходы представляют собой переходы Шоттки, а нижние – соответственно p-n-переходы, выполненные с использованием скрытых n^+ и p^+ -областей в эпитаксиальных слоях $Al_{0.3}Ga_{0.7}As$. Области ионного легирования разделены слоями широкозонного нелегированного AlAs толщиной более 20 нм для предотвращения туннелирования носителей между ними. Легированные барьерные области n/p- $Al_{0.3}Ga_{0.7}As$ отделены от квантовых ям i- $Al_{0.3}Ga_{0.7}As$ спейсерами для ослабления рассеяния подвижных носителей в квантовых ямах на дальнедействующем кулоновском потенциале ионов примесей (рис. 4). Ширина квантовых ям составляет не менее 15 нм для уменьшения рассеяния подвижных носителей на границах гетеропереходов [3].

МОДЕЛИРОВАНИЕ ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ НА ОСНОВЕ ТСН

Оценка статических характеристик логических элементов на основе ТСН производилась по результатам численного решения фундаментальной системы уравнений (ФСУ) полупроводника в диффузионно-дрейфовом приближении [4, 5] на двумерных координатных сетках с использованием моделей подвижности носителей заряда, приведенных в [5, 6]. С целью обеспечения достаточной скорости сходимости при моделировании различных режимов работы элементов система уравнений решалась методом Ньютона [4].

При моделировании инвертора (рис. 1а) решение ФСУ осуществлялось отдельно для ТСН с электронной проводимостью и ТСН с дырочной проводимостью. В результате моделирования (рис. 5) для каждой ТСН были получены распределения потенциала (рис. 5а) и концентраций подвижных носителей (рис. 5б) по координатам при различных напряжениях на внешних контактах, а после интегрирования плотности тока по площади контактов – семейства вольт-амперных характеристик (ВАХ, рис. 5в,г) для ТСН n-типа с длиной канала $L = 200$ нм (по оси y, рис. 5а,б), шири-

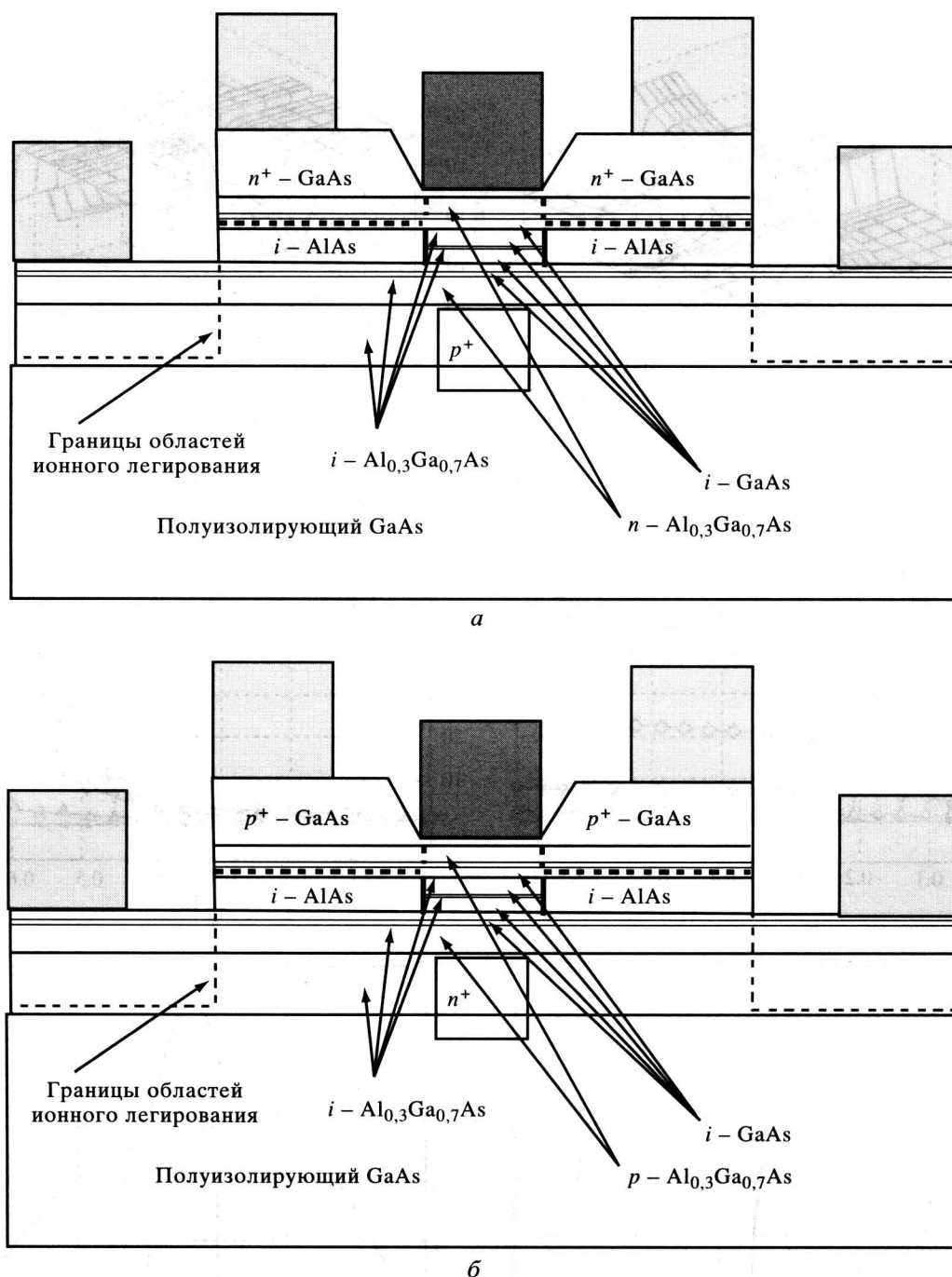


Рис. 4. Туннельно связанные наноструктуры: а) с электронной проводимостью; б) с дырочной проводимостью

ной канала $W = 1$ мкм (по направлению нормали к плоскости xOy , рис. 5а,б), шириной квантовых ям $W_w = 20$ нм (по оси x , рис. 5а,б), шириной туннельного барьера $W_Q = 5$ нм, шириной барьерных областей $W_B = 45$ нм, концентрацией легирующих примесей в барьерных областях $N_B = 10^{17}$ см⁻³, концентрацией легирующих примесей в сток-источниковых областях $N = 10^{18}$ см⁻³.

Из семейств ВАХ туннельно связанных наноструктур с электронной и дырочной проводимостью получены передаточная характеристика ин-

вертора (рис. 5д) и зависимость сквозного тока ISK от входного напряжения (рис. 5е).

Оценка времени задержки инвертора производилась по результатам численного решения ФСУ методом Гуммеля в одномерном приближении без учета туннельного эффекта [4].

На рисунке 6 приведены временные зависимости слоевых концентраций носителей в каналах ТСН n -типа и переходные характеристики инвертора с шириной туннельного барьера $W_Q = 10$ нм (рис. 6а,б) и с $W_Q = 1$ нм (рис. 6в,г).

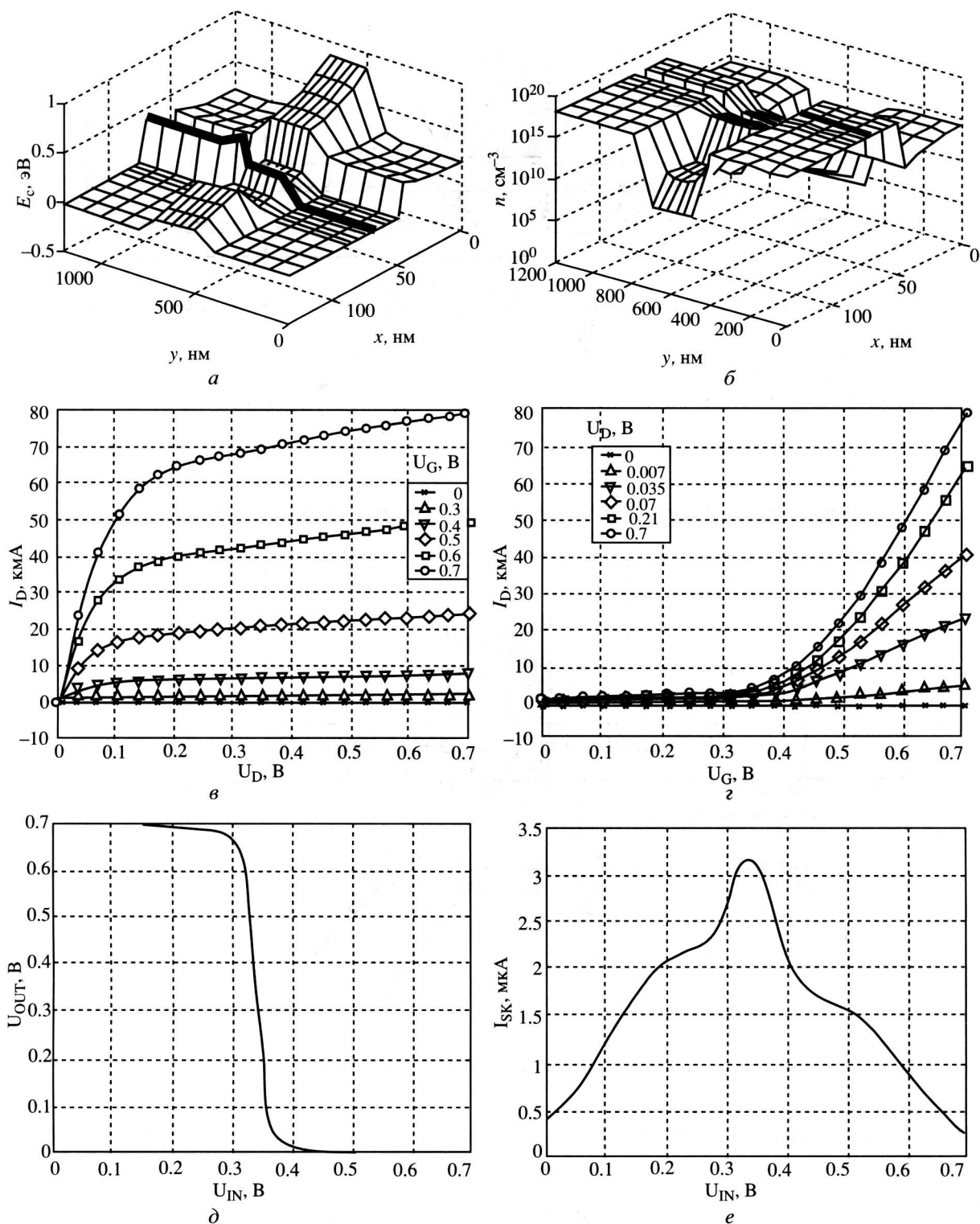


Рис. 5. Результаты моделирования инвертора: а) двухмерный профиль “дна” зоны проводимости ТСН п-типа; б) концентрация электронов в ТСН п-типа; в) выходные ВАХ верхнего канала ТСН п-типа (I_D – ток стока; U_D – напряжение стока; U_G – напряжение затвора); г) проходные ВАХ верхнего канала ТСН п-типа; д) передаточная характеристика инвертора; е) сквозной ток

При указанных параметрах, наиболее важным из которых является ширина потенциального барьера между квантовыми ямами $W_Q = 10$ нм, оценка времени задержки инвертора по уровню выходного на-

пряжения $U_{OUT} = 0,9V_{dd}$ (где V_{dd} – напряжение питания) без учета паразитных емкостей дает значение $t_D = 0,8$ пс (рис. 6б), что соответствует максимальной частоте переключения $f_{MAX} = 625$ ГГц.

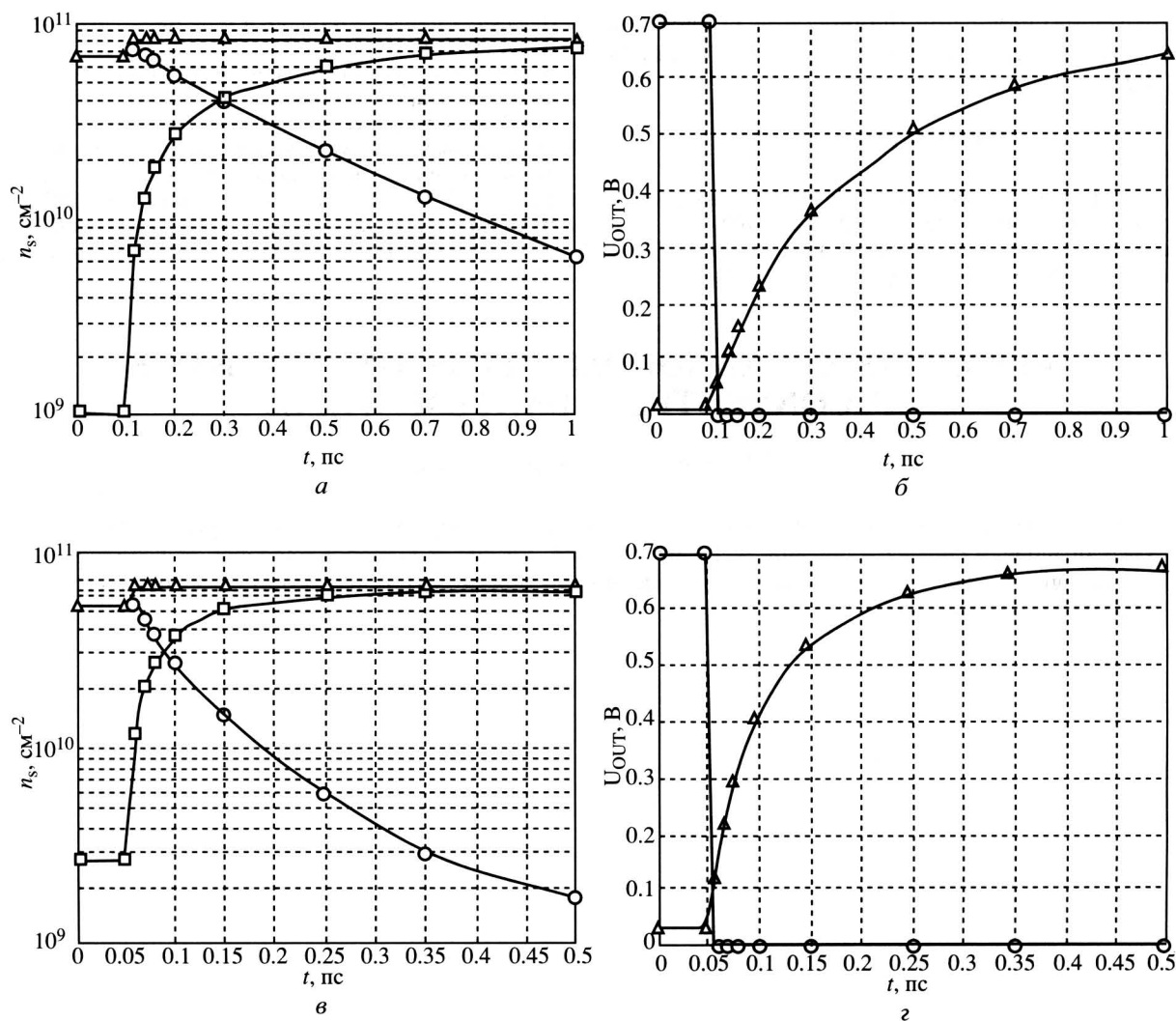


Рис. 6. Временные зависимости концентрации носителей в каналах и переходные характеристики инвертора: а) концентрация электронов при $W_Q = 10$ нм (—○— верхний канал; —□— нижний канал; —Δ— суммарная концентрация); б) переходные характеристики при $W_Q = 10$ нм (—○— входное напряжение; —Δ— выходное напряжение); в) концентрация электронов при $W_Q = 1$ нм; г) переходные характеристики при $W_Q = 1$ нм

При уменьшении W_Q время задержки элемента уменьшается. При $W_Q = 2$ нм время задержки t_D составит 0,33 пс, $f_{MAX} = 1,5$ ТГц, а при $W_Q = 1$ нм соответственно $t_D = 0,2$ пс, $f_{MAX} = 2,5$ ТГц (рис. 6г).

Во всех рассмотренных случаях суммарная слоистая концентрация подвижных носителей в квантовых ямах остается практически неизменной в процессе переключения логического элемента (рис. 6а,в), что в сочетании с малой шириной потенциального барьера W_Q обеспечивает сокращение задержки переключения элемента более чем в 3–5 раз по сравнению с временем пролета, которое при длине канала 200 нм составит не менее 2 пс [5].

Полученные в данной работе оценки быстродействия элементов на основе туннельносвязанных областей представляют наихудший случай, поскольку не учитывают перенос подвижных но-

сителей между квантовыми ямами за счет туннелирования. Результаты исследования логических элементов на основе ТСН с учетом туннельного эффекта и паразитных емкостей будут рассмотрены в отдельной работе.

ЗАКЛЮЧЕНИЕ

Использование гетеропереходных наноструктур с туннельносвязанными квантовыми областями с высокой подвижностью носителей заряда открывает возможности создания элементной базы нанокomпьютеров на основе принципов повышения быстродействия, реализованных в ВМТ-транзисторах. Время задержки таких логических элементов не ограничено временем пролета и не превышает десятых долей пс.

Работа выполнена при финансовой поддержке Министерства образования и науки РФ (проект № 18782).

ЛИТЕРАТУРА

1. *Webb K.J., Cohen E.B., Melloch M.R.* // IEEE Transactions on Electron Devices, 2001. V. 48. N 12. P. 2701–2709.
2. *Birjulin P.I., Kopaev Yu.V., Trofimov V.T., Volchikov N.A.* // Semiconductor Science Technology, 1999. N 14. P. 699–704.
3. *Heiblum M., Mendez E.E., Stern F.* // Appl. Phys. Lett., 1984. V. 44. N 11. P. 1064–1066.
4. *Бубенников А.Н., Садовников А.Д.* Физико-технологическое проектирование биполярных элементов кремниевых БИС. М.: Радио и связь, 1991. 288 с.
5. Моделирование полупроводниковых приборов и технологических процессов. Последние достижения / Пер. с англ. под ред. Д. Миллера. М.: Радио и связь, 1989. 280 с.
6. *Мнацаканов Т.Т., Левинштейн М.Е., Поморцева Л.И., Юрков С.Н.* // Физика и техника полупроводников, 2004. Т. 38. Вып. 1. С. 56–60.

ELEMENTS OF NANOCOMPUTERS ON THE BASIS OF CONNECTED QUANTUM WELLS

B.G. Konoplev, E.A. Ryndin

Design principles of nano-dimensional logic elements and memory cells of very-high-speed VLSI on the basis of tunnelly connected quantum wells are proposed. Results of numerical modeling of nano-dimensional logic elements, problems and future trends of there application for high-performance computer systems design are discussed.

REFERENCES

1. Webb K.J., Cohen E.B., Melloch M.R. 2001. Fabrication and operation of a velocity modulation transistor. *IEEE Transactions on Electron Devices*. 48(12): 2701–2709.
2. Birjulin P.I., Kopaev Yu.V., Trofimov V.T., Volchkov N.A. 1999. Single-gated mobility modulation transistor. *Semiconductor Science Technology*. 14: 699–704.
3. Heiblum M., Mendez E.E., Stern F. 1984. High mobility electron gas in selectively-doped n:AlGaAs/GaAs heterojunctions. *Applied Physics Letters*. 44(11): 1064–1066.
4. Bubennikov A.N., Sadovnikov A.D. 1991. *Fiziko-tekhnologicheskoe proektirovanie bipolyarnykh elementov kremnievykh BIS*. [Physical and technological design of the bipolar elements of silicon LSI]. Moscow, “Radio i svyaz”: 288 p. (In Russian).
5. Miller D. 1989. *Modelirovanie poluprovodnikovyykh priborov i tekhnologicheskikh protsessov. Poslednie dostizheniya*. [New Problems and New Solutions for Device and Process Modelling]. Moscow, “Radio i svyaz” Publ.: 280 p. (In Russian).
6. Mnatsakanov T.T., Levinshteyn M.E., Pomortseva L.I., Yurkov S.N. 2004. [Universal method of analytical approximation of the mobility of main charge carriers in semiconductors in a wide range of temperatures and doping levels]. *Fizika i tekhnika poluprovodnikov*. 38(1): 56–60. (In Russian).